

QUIET Phase II用ADCシステムの開発

石徹白晃治, 樋口岳雄, 永井誠,
田島治, 茅根裕司^a, 羽澄昌史, 長谷川雅也

他QUIETコラボレーション

+ 内田 智久, 池野正弘, 田中真伸

KEK素核研, 東北大理^a

INTRODUCTION

QUIET (Q/U Imaging Experiment)

目的: CMB偏光の精密観測を通して初期宇宙の解明

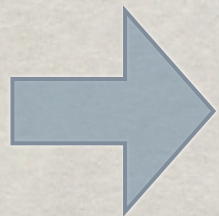
phaseII: 偏光検出器の数を16倍 (1600個)

→ $r \sim 0.02$ 程度のインフレーション起源のBモードを探索

信号数: 1個の偏光検出器が4信号を出力

→ 合計6400の信号出力

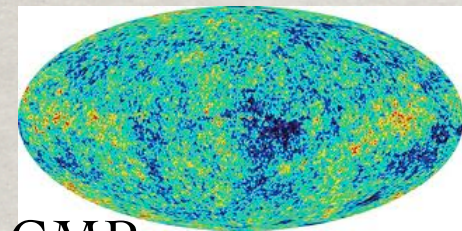
Phase I ADCシステムでは対応できない規模



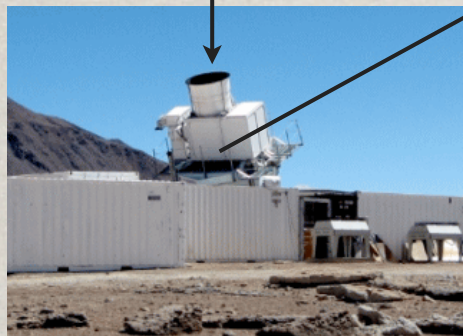
ADCシステムのアップグレード

PHASE I ADC

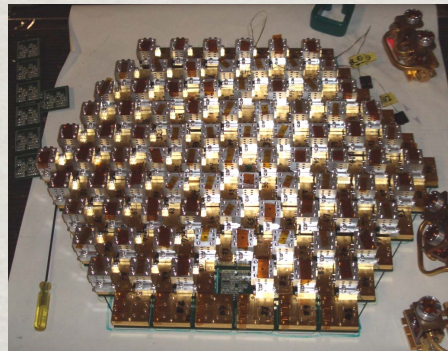
Data flow



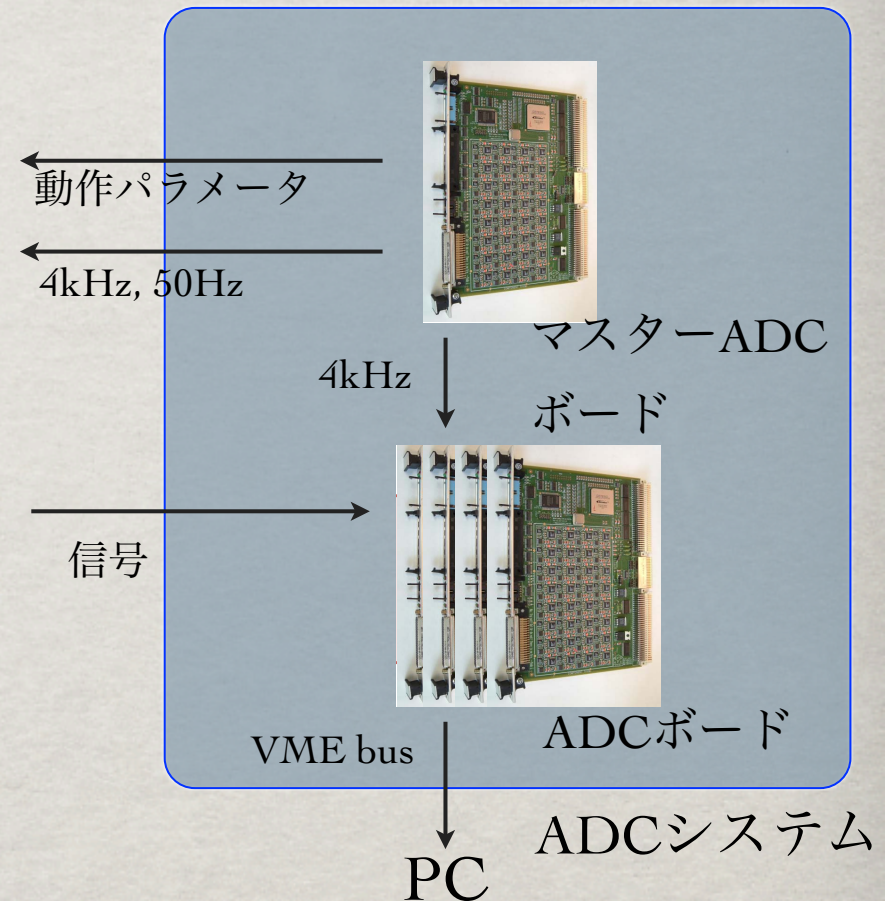
CMB



望遠鏡



偏光検出器アレイ



ADCシステムの役割

ADCボード

- 偏光計の出力を18bit, 800kS/sでAD変換
- 検出器信号に与えられた変調を復調 (4kHz)
- 100S/sまでダウンサンプリング
- VME BusでPCにデータを転送

マスターADCボード

- クロックマスター
- 検出器動作パラメータの制御

ADC UPGRADE

Phase I ADC

クロック&DAQマスターを兼ねた小規模実験指向として成功

→ 多機能であるが拡張性に欠ける

Phase IIへの困難

1枚のボードでADC 32個

→ 200枚, VMEクレート 13個 !!

多機能であるが故にFPGA回路が煩雑

→ 50Hz復調を実装できていない

VMEを使ったデータ転送

→ 各クレート毎に制御PC, Busの使いにくさ

Bus (VME bus, BLVDS)を介したクロック分配

→ 接続数に制限, VMEクレート間の同期

ADC UPGRADE

Phase II ADC

スケラブルなADCシステム

Phase IIへの困難

1枚のボードでADC 32個

→ 200枚, VMEクレート 13個 !!

多機能であるが故にFPGA回路が煩雑

→ 50Hz復調を実装できていない

VMEを使ったデータ転送

→ 各クレート毎に制御PC, Busの使いにくさ

Bus (VME bus, BLVDS)を介したクロック分配

→ 接続数に制限, VMEクレート間の同期

ADC UPGRADE

Phase II ADC

スケラブルなADCシステム

Phase IIへの困難

1枚のボードでADC ~~32~~⁶⁴個

→ 200枚, VMEクレート 13個 !!

多機能であるが故にFPGA回路が煩雑

→ 50Hz復調を実装できていない

VMEを使ったデータ転送

→ 各クレート毎に制御PC, Busの使いにくさ

Bus (VME bus, BLVDS)を介したクロック分配

→ 接続数に制限, VMEクレート間の同期

ADC UPGRADE

Phase II ADC

スケラブルなADCシステム

Phase IIへの困難

1枚のボードでADC ~~32~~⁶⁴個
→ ~~200~~¹⁰⁰枚, VMEクレート ~~13~~⁷個 !!

多機能であるが故にFPGA回路が煩雑

→ 50Hz復調を実装できていない

VMEを使ったデータ転送

→ 各クレート毎に制御PC, Busの使いにくさ

Bus (VME bus, BLVDS)を介したクロック分配

→ 接続数に制限, VMEクレート間の同期

ADC UPGRADE

Phase II ADC

スケーラブルなADCシステム

Phase IIへの困難

1枚のボードでADC ~~32~~⁶⁴個

→ ~~200~~¹⁰⁰枚, VMEクレーン~~13~~⁷個 !!

AD変換と信号復調に特化したFPGA回路
~~多機能であるが故にFPGA回路が煩雑~~

→ 50Hz復調を実装できていない

VMEを使ったデータ転送

→ 各クレーン毎に制御PC, Busの使いにくさ

Bus (VME bus, BLVDS)を介したクロック分配

→ 接続数に制限, VMEクレーン間の同期

ADC UPGRADE

Phase II ADC

スケーラブルなADCシステム

Phase IIへの困難

1枚のボードでADC ⁶⁴~~32~~個

→ ¹⁰⁰~~200~~枚, VMEクレーン⁷~~13~~個 !!

AD変換と信号復調に特化したFPGA回路
~~多機能であるが故にFPGA回路が煩雑~~

→ ~~50Hz復調を実装できていない~~

VMEを使ったデータ転送

→ 各クレーン毎に制御PC, Busの使いにくさ

Bus (VME bus, BLVDS)を介したクロック分配

→ 接続数に制限, VMEクレーン間の同期

ADC UPGRADE

Phase II ADC

スケラブルなADCシステム

Phase IIへの困難

1枚のボードでADC ~~32~~⁶⁴個

→ ~~200~~¹⁰⁰枚, VMEクレーン~~13~~⁷個 !!

AD変換と信号復調に特化したFPGA回路
~~多機能であるが故にFPGA回路が煩雑~~

→ ~~50Hz復調を実装できていない~~

Ethernet

~~VME~~を使ったデータ転送

→ 各クレーン毎に制御PC, Busの使いにくさ

Bus (VME bus, BLVDS)を介したクロック分配

→ 接続数に制限, VMEクレーン間の同期

ADC UPGRADE

Phase II ADC

スケーラブルなADCシステム

Phase IIへの困難

1枚のボードでADC ⁶⁴~~32~~個

→ ¹⁰⁰~~200~~枚, VMEクレーン⁷~~13~~個 !!

AD変換と信号復調に特化したFPGA回路

~~多機能であるが故にFPGA回路が煩雑~~

→ ~~50Hz復調を実装できていない~~

Ethernet

~~VMEを使ったデータ転送~~ Hubを介した拡張が容易に

→ ~~各クレーン毎に制御PC, Busの使いにくさ~~

Bus (VME bus, BLVDS)を介したクロック分配

→ 接続数に制限, VMEクレーン間の同期

ADC UPGRADE

Phase II ADC

スケーラブルなADCシステム

Phase IIへの困難

1枚のボードでADC ~~32~~⁶⁴個

→ ~~200~~¹⁰⁰枚, VMEクレーン~~13~~⁷個 !!

AD変換と信号復調に特化したFPGA回路

~~多機能であるが故にFPGA回路が煩雑~~

→ ~~50Hz復調を実装できていない~~

Ethernet

~~VME~~を使ったデータ転送 Hubを介した拡張が容易に

→ ~~各クレーン毎に制御PC, Busの使いにくさ~~

独立クロックマスターと専用分配器(LVDS)

~~Bus (VME bus, BLVDS)~~を介したクロック分配

→ 接続数に制限, VMEクレーン間の同期

ADC UPGRADE

Phase II ADC

スケーラブルなADCシステム

Phase IIへの困難

1枚のボードでADC ~~32~~⁶⁴個

→ ~~200~~¹⁰⁰枚, VMEクレーン~~13~~⁷個 !!

AD変換と信号復調に特化したFPGA回路

~~多機能であるが故にFPGA回路が煩雑~~

→ ~~50Hz復調を実装できていない~~

Ethernet

~~VME~~を使ったデータ転送 Hubを介した拡張が容易に

→ ~~各クレーン毎に制御PC, Busの使いにくさ~~

独立クロックマスターと専用分配器(LVDS)

~~Bus (VME bus, BLVDS)を介したクロック分配~~

→ ~~接続数に制限, VMEクレーン間の同期~~

ADC UPGRADE

Phase II ADC

スケーラブルなADCシステム

Phase IIの困難

1枚のボードでADC ~~32~~⁶⁴個

→ ~~200~~¹⁰⁰枚, VMEクレーン~~13~~⁷個 !!

AD変換と信号復調に特化したFPGA回路
~~多機能であるが故にFPGA回路が煩雑~~

→ ~~50Hz復調を実装できていない~~

~~VME~~を使ったデータ転送

Hubを介した拡張が容易に

→ ~~各クレーン毎に制御PC, Busの使いにくさ~~

独立クロックマスターと専用分配器(LVDS)

~~Bus (VME bus, BLVDS)を介したクロック分配~~

→ ~~接続数に制限, VMEクレーン間の同期~~

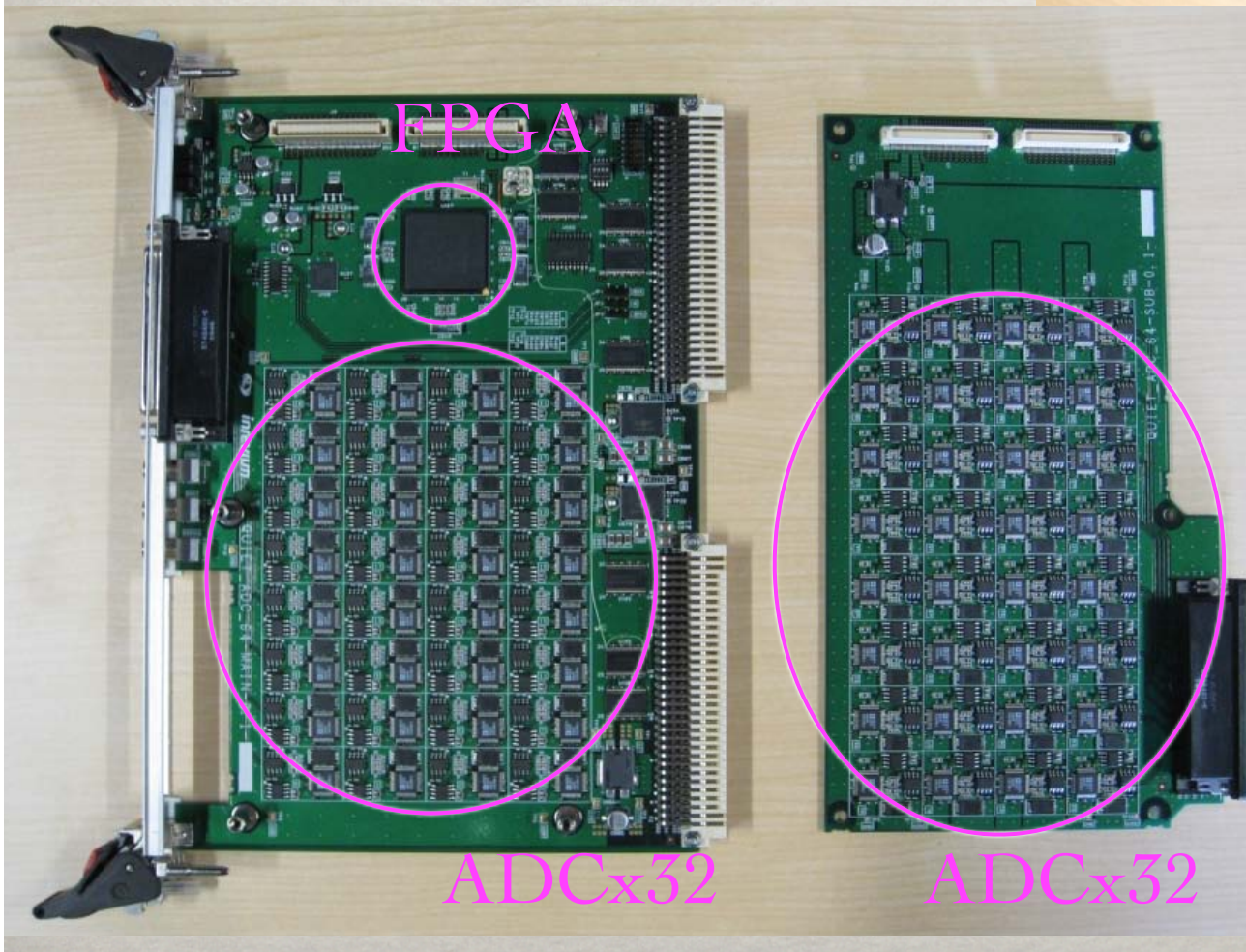
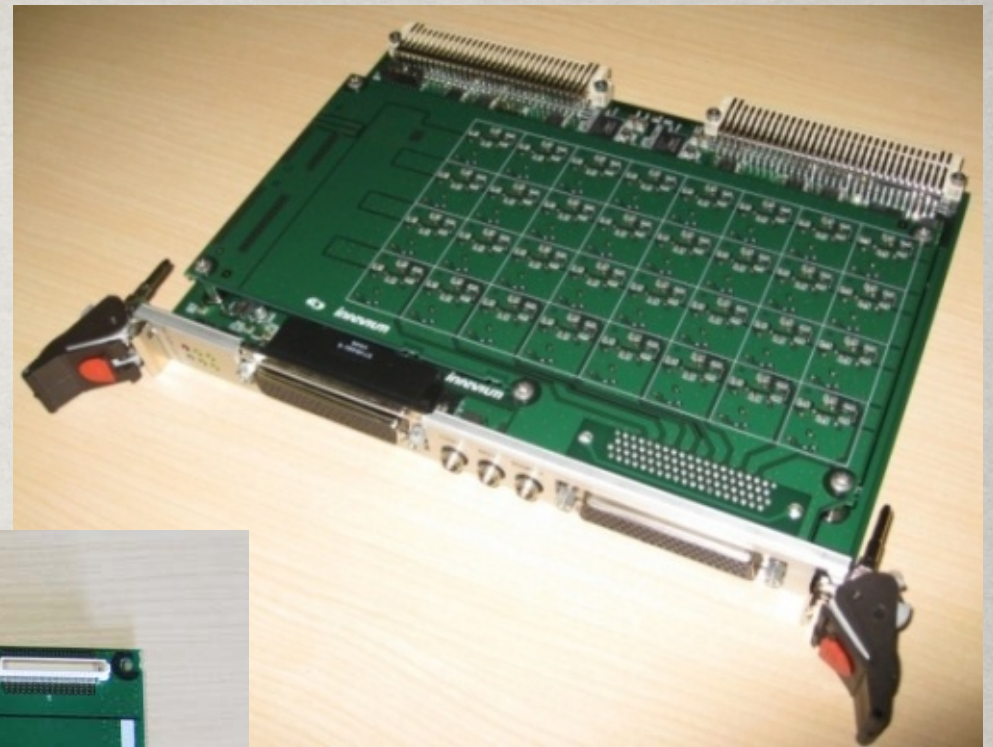
PROTOTYPE ADC

特徴

VME6U

サブボードの使用でADC密度を2倍

大規模FPGA (XC3SD3400)

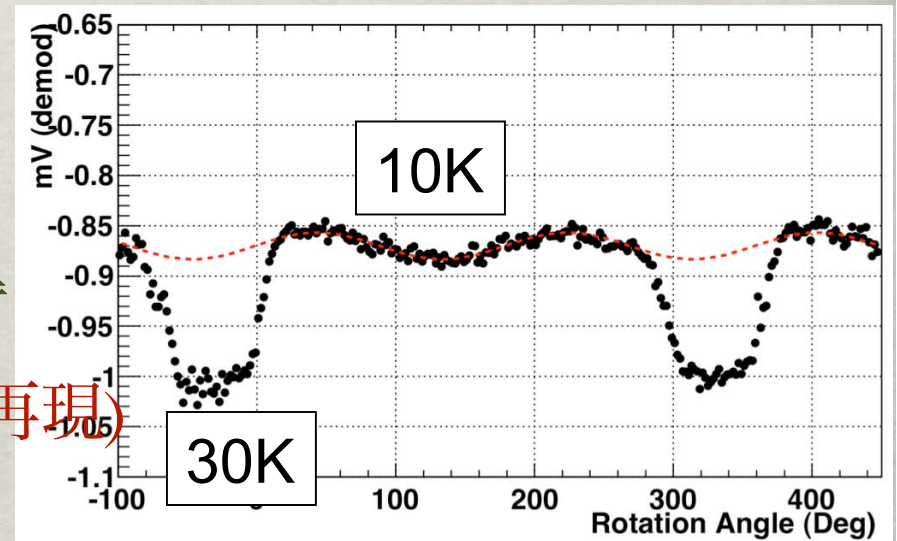
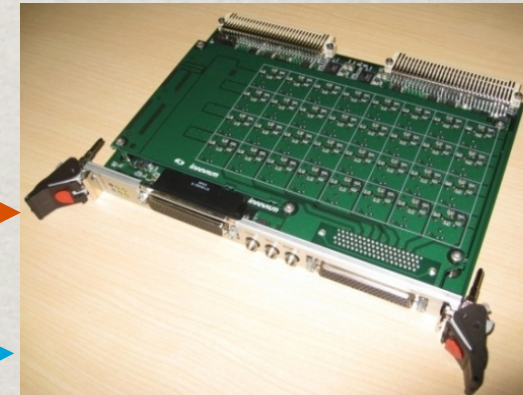
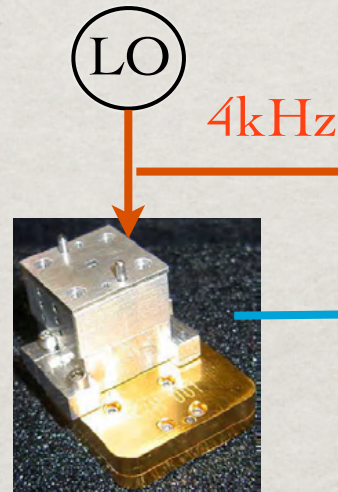
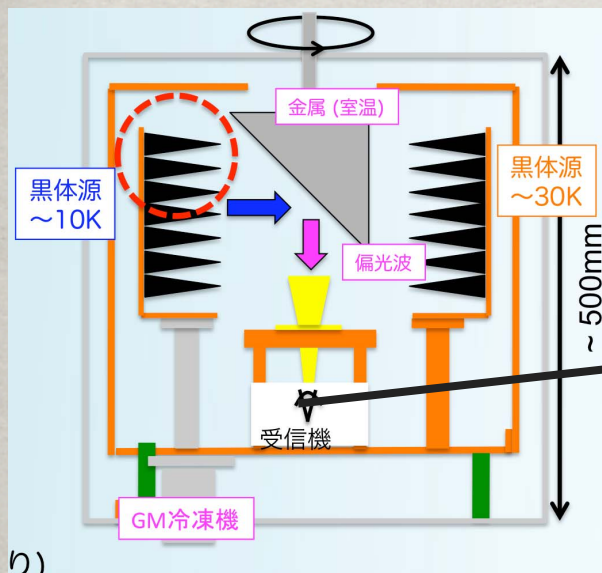


Developed by T. Higuchi

ADC BOARD TEST

動作検証: ADCドライブと4kHz信号復調

QUIET偏光検出器を使ったデモ



理論通りの復調 (偏光)信号を取得

動作ロジックの確認 (Phase Iの再現)

今後

50Hz復調動作検証のための偏光検出器の改良

ADC BOARD TEST

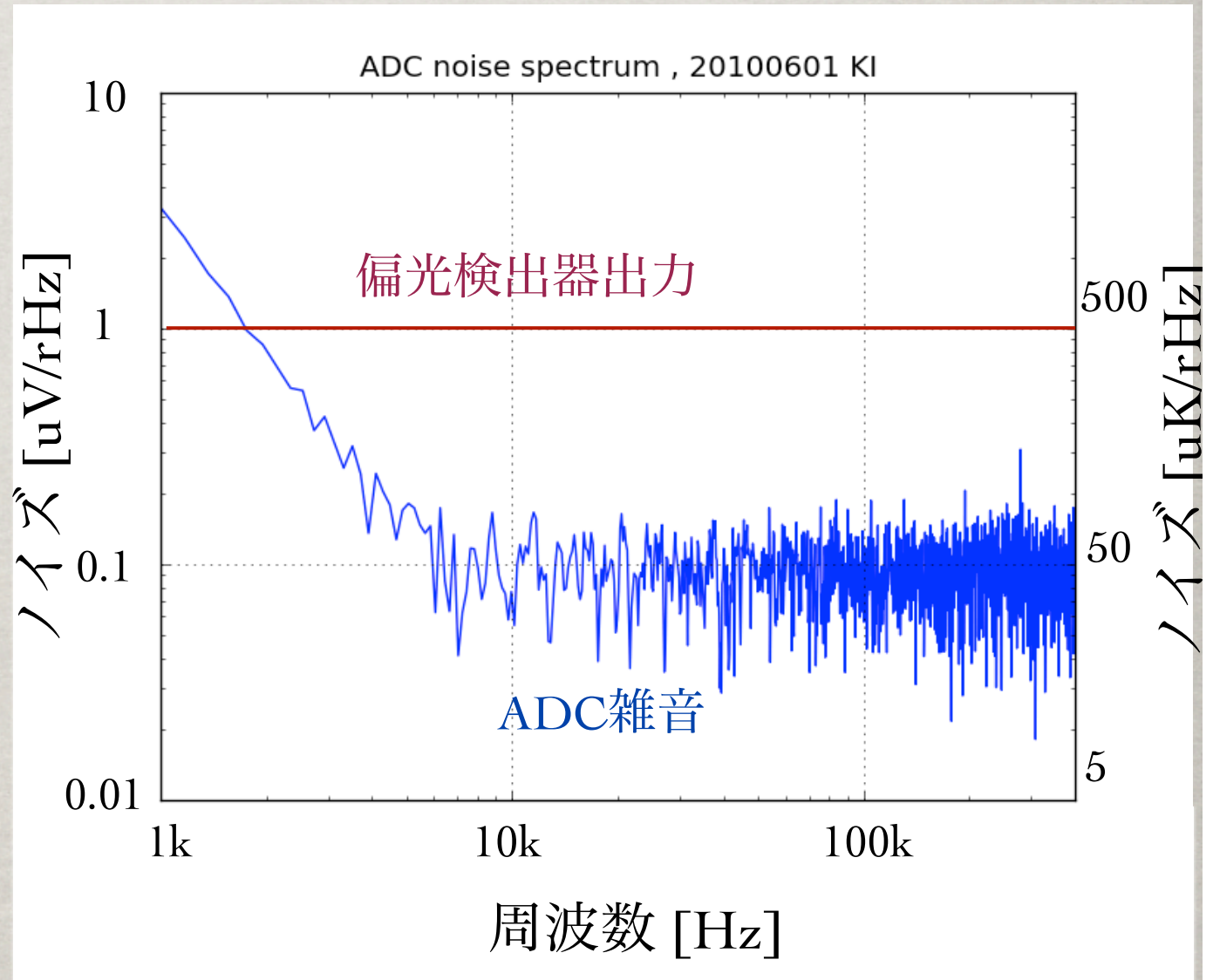
雑音レベル:

ADC雑音 $50\mu\text{K s}^{1/2}$

検出器出力 $500\mu\text{K s}^{1/2}$



ADC雑音は小さい



まとめ

QUIET Phase IIへ向けたADCシステムの開発

スケーラブルなADCシステム

開発項目

高密度ADCボード (ADC 64個)

動作ロジックの確認, ADC雑音レベルの確認

Ethernet通信の実装

Ethernetポートを持つ新ADCボードを開発中

クロックシステム

概念設計中

今年度中に全ての開発試験を終了

まとめ

QUIET Phase IIへ向けたADCシステムの開発

スケーラブルなADCシステム

開発項目

高密度ADCボード (ADC 64個)

動作ロジックの確認, ADC雑音レベルの確認

→ ほぼ終了

Ethernet通信の実装

Ethernetポートを持つ新ADCボードを開発中

クロックシステム

概念設計中

今年度中に全ての開発試験を終了

